訂正有り

⑲ 日本国特許庁

公開特許公報

⑪特開昭 51-118392

㊸公開日 昭51.(1976)10.18

㉑特願昭 50-43972

㉒出願日 昭50.(1975)4.10

審査請求 未請求 (全4頁)

庁内整理番号
7210 57
7216 57
6426 57

㊷日本分類
99(5)H0
99(5)C1
99(5)E3

㊿Int.Cl².
H01L 21/90
H01L 29/78

特 許 願 (22)

昭和50年4月10日

特許庁長官殿

1 発明の名称
ハンドウタイソウチ セイゾウホウホウ
半導体装置の製造方法

2 発 明 者
住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内
氏 名 (ほか1名)

3 特許出願人
住 所 大阪府門真市大字門真1006番地
名 称 (582) 松下電器産業株式会社
代表者 松 下 正 治

4 代 理 人 〒571
住 所 大阪府門真市大字門真1006番地
松下電器産業株式会社内
氏 名 (5971) 弁理士 中 尾 敏 男
(ほか1名)

5 添付書類の目録
(1) 明 細 書 1通
(2) 図 面 1通
(3) 委 任 状 1通
(4) 願書副本 1通

方式審査

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

一導電型半導体基板に形成した二酸化硅素膜上に、この二酸化硅素膜に比し、食刻速度の小なる絶縁物膜を形成して二重膜を形成する工程と、この二重膜を選択的に写真食刻し、前記半導体基板の一部を露出する工程と、前記半導体基板の露出部に酸化膜を形成する工程と、この酸化膜および二重膜上に多結晶硅素を堆積して選択的に前記多結晶硅素を残存する工程と、前記多結晶硅素をマスクとして、酸化膜の露出部を選択的に食刻して前記基板表面を露出し、不純物を拡散する工程と、少くとも上記半導体基板および多結晶硅素上に絶縁膜を形成した後、電極コンタクトのための孔を選択的に写真食刻する工程と、金属配線を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

従来の自己整合型(以下TMOS型と称す)半導体装置の製造方法を第1図にしたがって説明する。

一導電型例えばP型半導体基板1上に一般に熱酸化法により約7000Åのフィールド酸化膜2を形成し、しかる後写真食刻技術で選択的に酸化膜を除去し基板表面を露出させる(b)。露出した基板上に1000~1500Åのゲート酸化膜4を熱酸化法により形成し(c)、さらに、約4000Åの多結晶硅素膜5を全面に一様に形成する(d)。次に写真食刻技術により前記多結晶硅素膜5を選択的に除去しゲート電極6を形成する(e)。7はたとえば他のトランジスタのゲート配線である。つぎにこうして得られた多結晶硅素膜5よりなる電極6,配線7をマスクとして前記ゲート酸化膜4を選択的に除去し、前記基板を露出する(f)。しかる後、基板と反対導電型不純物を拡散しソース,ドレイン領域8,9とする。

熱酸化および、CVD法により二酸化硅素膜10を形成した後、基板および多結晶硅素とのコンタクトホールを形成し、アルミニウム等の金属配線11,12,13,14で配線してMOS型半導体装置を形成する。

しかるに、かかる方法においては、ゲート酸化膜4を多結晶シリコン膜6をマスクとして食刻する際にフィールド酸化膜2も同時に食刻されるのでフィールド酸化膜2上の多結晶シリコン膜よりなる配線7の直下は第1図(f)に示すようにオーバーハング16，16の状態になる。すると、たとえば全面絶縁膜14は(g)に示すように17の部分で断線を生じるおそれがある。このことを第2，3図で説明する。

第2図(a)に示すようにゲート酸化膜4およびフィールド酸化膜2上の多結晶シリコン膜よりなる配線7のオーバーハング16，16のサイドエッチング量はほとんど同じであるが、その原因はゲート酸化膜4の部分ではシリコン基板1が食刻に対するストッパーとなり、ゲート酸化膜厚以上に食刻されないが、フィールド酸化膜2は、ゲート酸化膜より深くまで食刻される。その後熱酸化した状態を第2図(b)に示す。ゲート酸化膜4部分ではシリコン基板1と配線7の両方から酸化膜が一様に成長し、Y/2以上の酸化膜4′が成長し、オーバーハング16はなくなる。しかし、フィールド酸化膜2上においては酸化膜2′の成長がないので、いぜんとして、オーバーハング16′が存在し、かつ、段差はゲート酸化膜2上での段差より大きくなる。さらにCVD法で二酸化硅素膜を被着してもこの段差は改善されない。こうしてオーバーハング16′が存在する部分にアルミニウムの全面被覆膜14を蒸着法により被覆すれば、被覆膜がオーバーハングの部分に段差をし、全面膜14はオーバーハング16′部からの被覆がとぎれ、17の部分で第3図に示すようにパターン切れが起きたり断線を生じるという欠点があった。

そこで、本発明は従来欠点に注目し、フィールド酸化膜22と多結晶シリコン膜との間に酸化膜に対しエッチング速度の小さな絶縁膜23を介在し、ゲート酸化膜の食刻時にフィールド酸化膜が食刻されず、かつ素子の特性を劣化させない半導体装置の製造方法を提供するものである。

以下、本発明の実施例を第4図にしたがって説明する。

まず、一導電型、例えばP型半導体基板21上に選択酸化法により一部に二酸化硅素膜22を例えば6000Å形成し、さらに二酸化硅素食刻液に対して二酸化硅素膜に比し、食刻速度の小さな絶縁膜、例えば窒化硅素膜23をCVD法により600Å形成し、2層膜とする(b)。フォトレジスト法で所定のパターンを形成したのち、例えば二酸化硅素膜と窒化硅素膜の食刻速度が著しい食刻液、例えば弗酸と水の容量比が0.5％の水溶液で80℃で食刻する。食刻速度が著しいので、この2層膜を同時に食刻しても窒化硅素膜23のオーバーハングは生じない(c)。

つぎに熱酸化法により露出した部分24にゲート酸化膜26を1000Å形成し(d)、さらに全面に一様に多結晶シリコン膜26を4000Å形成する(e)。こうしたのち、通常の写真食刻技術で多結晶シリコン膜26を所定のパターンに形成しゲート電極27，他の配線28とする(f)。次いで多結晶シリコン膜よりなる電極27，配線28をマスクとして、ゲート酸化膜25を二酸化硅素食刻液で食刻する。このとき第1図の方法と異なり、フィールド酸化膜22上に窒化硅素膜23を形成しているため、窒化硅素膜23は二酸化硅素食刻液でほとんど食刻されない。したがってフィールド酸化膜22上の多結晶シリコン膜28の段差29は、ゲート酸化膜25を食刻し基板21を露出したのちもほとんど変化せず約4000Åでオーバーハングも生じない。つぎに拡散法により基板と反対導電型の不純物を拡散してソース，ドレイン領域30，31を形成する(h)。

しかるのち、熱酸化法あるいはCVD法により全面に一様に二酸化硅素膜32を3000Å形成し、その後電極コンタクトのための孔を選択的に形成し、アルミニウムの全面を蒸着してソース，ゲート，ドレイン電極32，33，34および他の金属配線35を形成して(i)に示すMOS型半導体装置が作成できる。

以上のように本発明の製造方法によれば、フィ

ールド酸化膜上での多結晶シリコン膜の段差部でアンダーカットが生じないので、不純物拡散層の配線化膜に薄くてもよく、かつ、多結晶シリコンの厚さが多結晶シリコン膜より薄くても断線を生じない。またゲート酸化膜上に窒化シリコン膜を形成しないので複合絶縁膜ゲートに起因する[illegible]を生じない。また従来工程と比較してもフォトエッチング工程が増加せず、かつ同一マスクで自己整合的にできる等の工業的価値の大きいものである。

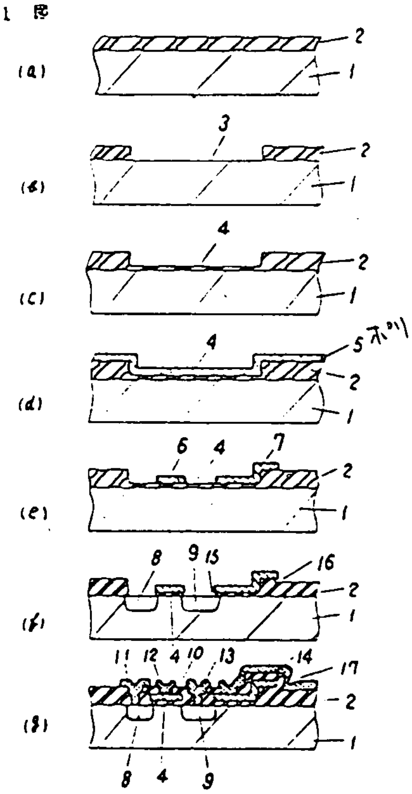
4、図面の簡単な説明

第1図(a)～(g)は従来のMOSトランジスタの作成方法を説明するための工程断面図、第2図(a)は第1図(b)の工程の要部拡大断面図、同(b)は同(a)において酸化膜を除去した状態の断面図、第3図は第1図(g)の要部拡大断面図、第4図(a)～(g)は本発明の一実施例にかかるMOS形半導体装置の製造工程断面図である。

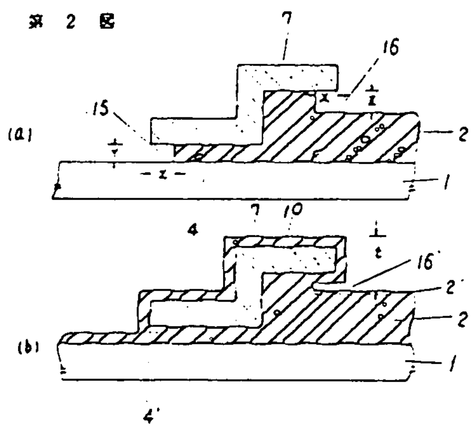
21……P型半導体基板、22……二酸化硅素膜、23……窒化硅素膜、25……ゲート酸化膜、26……多結晶硅素膜、27，28……ゲート電極、配線、30，31……ソース，ドレイン領域、32……二酸化硅素膜、32，33，34……ソース，ゲート，ドレイン電極，36……金属配線。

代理人の氏名 弁理士 中尾敏男 ほか1名

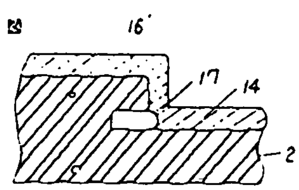
第1図



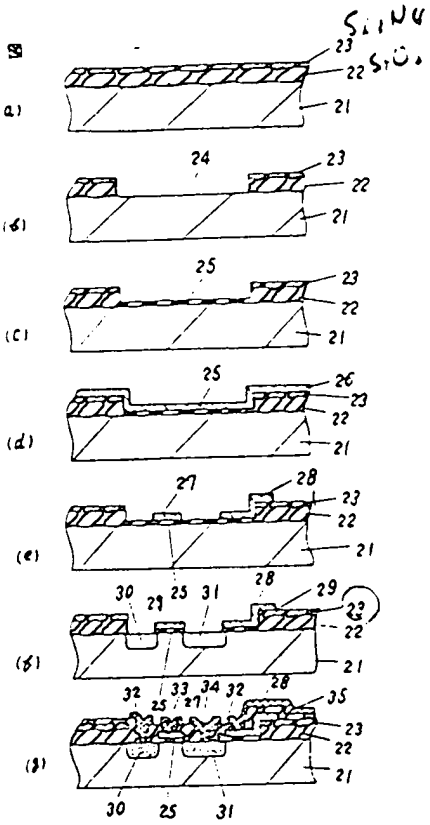
第2図



第3図



第４図



6 前記以外の発明者および代理人

(1) 発明者

住所　大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏名　[illegible]

(2) 代理人

住所　大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏名　(6152) 弁理士 栗野重孝

53-81

手続補正書

昭和62年10月18日

特許庁長官殿

1 事件の表示

昭和50年特許願第43972号

2 発明の名称

半導体装置の製造方法

3 補正をする者

事件との関係　特許出願人

住所　大阪府門真市大字門真1006番地

名称　(582) 松下電器産業株式会社

代表者　山下俊彦

4 代理人　〒571

住所　大阪府門真市大字門真1006番地
松下電器産業株式会社内

氏名　(5971) 弁理士 中尾敏男
(ほか1名)

(連絡先 電話(06)437-1121 特許分室)

6 補正の対象

(1) 明細書の特許請求の範囲の欄

6 補正の内容

(1) 明細書の特許請求の範囲を別紙の通り補正いたします。

特許法第17条の2による補正の掲載

昭和50年特許願第43972号(特開昭51-118392号　昭和51年10月18日発行公開特許公報 51-1184号掲載)については特許法第17条の2による補正があったので下記の通り掲載する。

庁内整理番号	日本分類
7210 57	99(5)H0
7216 57	99(5)C1
6426 57	99(5)E3

特許請求の範囲

一導電型半導体基板面に形成した二酸化硅素膜上に、この二酸化硅素膜に比し、食刻速度の小なる絶縁物膜を積層して二重膜を形成する工程と、この二重膜を選択的に写真食刻し、前記半導体基板の一部を露出する工程と、前記半導体基板の露出部に絶縁膜を形成する工程と、この絶縁膜および二重膜上に導電膜を被着して該選択的に前記導電膜を食刻する工程と、前記導電膜をマスクとして、前記絶縁膜を選択的に食刻して前記基板を露出し、不純物を拡散する工程と、少くとも上記半導体基板および導電膜上に絶縁膜を形成した後、電極コンタクトのための孔を選択的に写真食刻する工程と、金属配線を形成する工程とを具えたことを特徴とする半導体装置の製造方法。

Translation of
Pat. Laid-open Pub. No. 51-118392

1. Title of the Invention

METHOD FOR MANUFACTURING A SEMICONDUCTOR DEVICE

2. Scope of the Patent Claim

A method for manufacturing a semiconductor device, characterized by comprising: a step of forming a double layer by laying over a silicon dioxide film formed on a surface of a semiconductor substrate of one conductivity type an insulating material layer smaller in etching speed as compared with said silicon dioxide film; a step of exposing a portion of said semiconductor substrate by selectively photoetching said double layer; a step of forming an insulating film at an exposed portion of said semiconductor substrate; a step of depositing an electrically conductive film on said insulating film and said double layer and then selectively etching said electrically conductive film; a step of exposing said substrate by selectively etching said insulating film using said electrically conductive film as a mask and diffusing impurities; a step of forming an insulating film at least on said semiconductor substrate and said electrically conductive film and then selectively photoetching a hole for an electrode contact; and a step of forming a metal interconnection.

3. Detailed Description of the Invention

A conventional method for manufacturing a field effect type (hereinafter, simply referred to as MOS type) semiconductor device will be described with reference to Fig. 1.

On a semiconductor substrate 1 of one conductivity type, e.g., P type, is uniformly formed a field silicon oxide film 2 of approximately 7,000 Å by a thermal oxidation method (a), and then an opening is formed selectively by a common photoetching technique to have the substrate exposed (b). On the exposed substrate is formed a gate silicon oxide film 4 of 1,000 - 1,500 Å by a thermal oxidation method (c), and, furthermore, a polycrystalline silicon film 5 of approximately 4,000 Å is formed uniformly across the entire surface (d). Then, according to a common photoetching technique, the polycrystalline silicon film 5 is selectively removed to thereby form a gate electrode 6 (e). For example, 7 is a gate interconnection of another transistor. Then, using the electrode 6 and the interconnection 7 comprised of the remaining polycrystalline silicon film 5 as a mask, the gate silicon oxide film 4 is removed selectively by a buffered fluoric acid solution to thereby have the substrate exposed (f). Thereafter, an impurity layer opposite in polarity to the substrate is formed to thereby define source and drain regions 8 and 9.

After forming a silicon dioxide film 10 according to a

thermal oxidation m thod and CVD method, a contact hole between the substrate and the polycrystallin silicon film is formed and then an interconnection is defined by electrically conductive layers 11, 12, 13 and 14 of aluminum or the like, thereby constructing an MOS type semiconductor device.

However, according to such a manufacturing method, when etching the gate oxide film 4 using the polycrystalline silicon film 5 as a mask, the field oxide film 2 is etched at the same time, and, therefore, overhangs 15 and 16 are formed as shown in Fig. 1(f) at locations immediately below the interconnection 7 comprised of a polycrystalline silicon film on the field oxide film 2. As a result, for example, as shown in (g), the electrically conductive metal layer 14 may be disconnected at a portion 17. This will be further described with reference to Figs. 2 and 3.

As shown in Fig. 2(a), the amount x of side etching is substantially the same for the overhangs 15 and 16 of the interconnection 7 comprised of a polycrystalline silicon film on the gate oxide film 4 and the field oxide film 2. However, regarding the direction of depth, at a portion of the gate oxide film 4, since the silicon substrate 1 serves as a stopper against etching, etching does not proceed beyond the thickness Y of the gate oxide film; whereas, the field oxide film 2 is thicker than the gate oxide film so that it is etched until x has been

reached. The condition obtained by the subsequent thermal oxidation is illustrated in Fig. 2(b). At a portion of gate oxide film 4, growth takes place from both sides of the silicon substrate 1 and the interconnection 7 approximately at the same speed and an oxide film 4' of Y/2 or more grows so that the overhang 16 disappears. However, since the growing speed of an oxide film 3' which is formed on the field oxide film 3 is slower, the overhang 16' still remains, and there is formed a step t which is larger than the step above the gate oxide film 2. Moreover, even after the formation of a silicon dioxide film according to a CVD method, this step is not reduced. If a thick metal conductive layer 14 of aluminum or the like is formed with the overhang 16' present according to a vapor deposition or the like, the etching solution will penetrate into the overhang portion, so that etching of the metal layer 14 takes place from the side of overhang 16'. As a result, there arises a disadvantage of narrowing of a pattern or production of disconnection at portion 17 as shown in Fig. 3.

Under the circumstances, in accordance with the present invention, focusing on the drawbacks of the prior art, there is provided a method for manufacturing a semiconductor device which includes forming an insulating film having an etching speed smaller than that of a silicon dioxide film against a buffered fluoric acid solution between a field oxide film and a

polycrystalline silicon film, so that the field oxide film is not etched during etching of the gate oxide film and devices are not adversely affected.

Hereinbelow, an embodiment of the present invention will be described with reference to Fig. 4.

In the first place, on a semiconductor substrate 21 of one conductivity type, e.g., P type, is uniformly formed a silicon dioxide film 22, for example, to 6,000 Å according to a thermal oxidation method, and then an insulating material layer 23 having an etching speed smaller than that of a silicon dioxide film against a buffered fluoric acid solution, e.g., a silicon nitride film, is formed to the thickness of 500 Å according to a CVD method to thereby define a double layer (a). After forming a predetermined pattern using a photoresist film, etching is carried out at 80 °C using an etching solution which etches the silicon dioxide film and the silicon nitride film at the same etching speed, such as a solution containing fluoric acid and water at the weight ratio of 0.5 1. Since the etching speed is the same, even if this double layer is etched at the same time, no overhang of silicon nitride film 23 is formed (b).

Then, on the substrate 21, which has been exposed as a result of the above-mentioned etching, is formed a gate oxide film 25 to 1,000 Å (c), and then an electrically conductive film 26, such as a polycrystalline silicon film, is uniformly formed

to 4,000 Å across the entire surface (d). Thereafter, the polycrystalline silicon film 26 is formed into a predetermined pattern according to a common photoetching technique to thereby define a gate electrode 27 and other interconnection 28 (e). Then, using the electrode 27 and the interconnection 28 comprised of a polycrystalline silicon film as a mask, the gate oxide film 26 is etched by a buffered fluoric acid solution. In this instance, as different from the method of Fig. 1, since the silicon nitride film 23 is formed on the field oxide film 22, the silicon nitride film 23 is hardly etched by the buffered fluoric acid solution. Therefore, a step 29 of the polycrystalline silicon film 23 above the field oxide film 22 remains virtually unchanged at approximately 4,000 Å even after the exposure of the substrate 21 by etching the gate oxide film 25 so that no overhang is produced. Then, at an exposed portion of the substrate, an impurity layer opposite in conductivity type to the substrate is formed to thereby form source and drain regions 30 and 31, respectively (f).

Thereafter, a silicon dioxide film 32 is formed to 3,000 Å across the entire surface uniformly according to a thermal oxidation method or CVD method, and then a hole for use in an electrode contact is selectively formed, followed by a step of vapor depositing a metal, such as aluminum, to thereby form source, gate and drain interconnections 32, 33 and 34,

respectively, and other metal interconnection 33, so that there is formed an MOS type semiconductor device shown in (g).

As described above, according to a manufacturing method of the present invention, since no undercut is produced at an edge portion of a polycrystalline silicon film on a field oxide film, a thermal oxide film subsequent to the formation of an impurity layer can be thin, and no disconnection is produced even if the thickness of a metal interconnection is larger than the thickness of a polycrystalline silicon film. In addition, since no silicon nitride film is formed on the gate oxide film, no problems associated with a composite insulating film gate are produced. Besides, as compared with the prior art process, the number of photoetching steps is not increased, and an implementation can be carried out easily using the same mask, so that the industrial value of the present invention is very high.

4. Brief Description of the Invention

Figs. 1(a)-(g) are cross sectional views for explaining a prior art process for manufacturing an MOS transistor;

Fig. 2(a) is a cross sectional view showing the main portion of a step of Fig. 1(b) on an enlarged scale;

Fig. 2(b) is a cross sectional view showing the condition after forming an oxide film in Fig. 2(a);

Fig. 3 is a cross sectional view showing the main portion of

Fig. 1(g) on an enlarged scale; and

Figs. 4(a)-(g) are cross sectional views of a method for manufacturing an MOS type semiconductor device according to an embodiment of the present invention.

21: P type semiconductor substrate

22: Silicon dioxide film

23: Silicon nitride film

25: Gate oxide film

26: Polycrystalline silicon film

27, 28: Gate electrode & interconnection

30, 31: Source and drain regions

32: Silicon dioxide film

32, 33, 34: Source, gate and drain interconnections

35: Metal interconnection